

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214897

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

D

21/28

21/28

L

審査請求 未請求 請求項の数18 O L 外国語出願 (全 32 頁)

(21) 出願番号 特願平9-369819  
(22) 出願日 平成9年(1997)12月12日  
(31) 優先権主張番号 08/762868  
(32) 優先日 1996年12月12日  
(33) 優先権主張国 米国 (US)

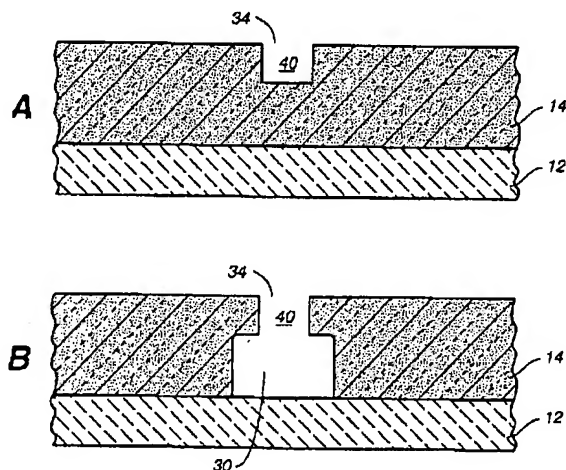
(71) 出願人 390040660  
アプライド マテリアルズ インコーポレ  
イテッド  
APPLIED MATERIALS, I  
NCORPORATED  
アメリカ合衆国 カリフォルニア州  
95054 サンタ クララ パウアーズ ア  
ベニュー 3050  
(72) 発明者 セシャドリ ラマスワミ  
アメリカ合衆国, カリフォルニア州,  
サン ノゼ, ジャーヴィス コート  
1503  
(74) 代理人 弁理士 長谷川 芳樹 (外5名)  
最終頁に続く

(54) 【発明の名称】 プラグ及びニアゼロオーバーラップ相互接続線の製造

(57) 【要約】

【課題】 狭いネックを有する導電性プラグを含む集積回路、およびそうしたプラグとその上の配線導体を作製する方法を提供する。

【解決手段】 キャビティの口付近に内向きに伸長する横方向の突起を有するキャビティまたはバイアを誘電体層に作製することによって、プラグを作製する。その上の配線は、1層の導体材料を堆積し、次にプラグの2つの相対する側辺部分で、この層をエッチングすることによって形成する。層のエッチング中、突起は、金属プラグが突起を超えてエッチングされるのを防止し、それによりエッチングのためにプラグに空隙が形成されるのを防止する。



Ref

## 【特許請求の範囲】

【請求項1】 半導体工作物上に垂直に伸長する導電性プラグを作製する方法であって、

外部表面を有する誘電体層を前記工作物上に堆積する段階と、

前記誘電体の前記外部表面におけるキャビティの口から下向きに垂直に伸長するキャビティ側壁によって境界を定められるキャビティを前記誘導体に形成する段階であって、前記側壁が前記キャビティの口付近に内向きに伸長する横方向の突起を含む階と、

前記キャビティを埋めるために導電性材料を堆積し、それによってプラグを形成する段階と、を含む方法。

【請求項2】 前記誘電体層を堆積する段階が、下層の誘電体を堆積する段階と、

前記下層より低いエッチング速度で上層の誘電体を堆積する段階であって、前記上層が前記下層の上に堆積する段階をさらに含む請求項1記載の方法。

【請求項3】 前記下層の誘電体を前記上層の誘電体より低い密度で堆積される請求項2記載の方法。

【請求項4】 前記キャビティを形成する段階が、前記キャビティの上方部分の底面を前記上方部分の側面より高い速度でエッチングする第1異方性エッチング・プロセスを用いて、前記キャビティの前記上方部分を前記誘電体層にエッチングする段階と、次いで、前記第1エッチング・プロセスより等方性が強い第2エッチング・プロセスを用いて、前記キャビティの下方部分を前記誘導体層にエッチングする段階を、さらに含む請求項1記載の方法。

【請求項5】 前記第1エッチング・プロセスが前記キャビティの前記上方部分の側面にパッシベーション層を堆積し、前記パッシベーション層が前記第2エッチング・プロセス中における前記キャビティの前記上方部分の側面のエッチングを阻止する請求項4記載の方法。

【請求項6】 前記突起を有するキャビティを形成する段階が、前記キャビティを前記誘電体層にエッチングする段階と、

前記キャビティの口に隣接するキャビティの側壁に耐エッチング剤材料を堆積する段階であって、前記耐エッチング剤材料が、前記耐エッチング剤材料をエッチングするより実質的に高い速度で前記導電性材料をエッチングする少なくとも1つのエッチング剤物質によるエッチングに対して耐性を有する段階を、さらに含む請求項1記載の方法。

【請求項7】 前記導電性材料がアルミニウムであり、前記耐エッチング剤材料が、窒化チタン、チタン層上に堆積される窒化チタン層、タンタル、窒化タンタル、およびタンタル層上に堆積される窒化タンタル層から成るグループから選択される請求項6記載の方法。

【請求項8】 前記耐エッチング剤材料を堆積する段階が、耐エッチング剤材料の電子サイクロトロン共鳴イオン化スパッタ堆積を含む請求項6記載の方法。

【請求項9】 耐エッチング剤材料が窒化チタンである請求項8記載の方法。

【請求項10】 前記誘電体の前記外部表面の上および前記プラグの上に1層の導電性材料を堆積する段階と、前記金属プラグに接続する水平方向に伸長する配線導体がエッチングされずに残るように、前記キャビティの口の2つの相対する側辺部における前記導電性材料層の部分をエッチングする段階を、さらに含み、

前記突起の内向きの伸長が、前記導電性材料層をエッチングする段階でプラグが前記突起を超えてエッチングされるのを防止するのに充分である請求項1記載の方法。

【請求項11】 前記配線が第1および第2横方向縁部によって境界を定められ、前記形成段階がキャビティの口に対する配線のいずれか一方の縁部の位置の最大限の考えられる累積誤差と等しいかそれより大きい横方向の幅を有する突起を形成する段階をさらに含む請求項10記載の方法。

【請求項12】 前記導電性材料が金属である請求項10記載の方法。

【請求項13】 前記金属がアルミニウムである請求項12記載の方法。

【請求項14】 半導体層と、前記半導体層の上に位置する誘電体層であって、前記誘電体層が相対する上部表面および下部表面を有し、前記下部表面が前記半導体層に隣接する前記誘電体層と、前記誘電体層内を前記上部表面から前記下部表面まで軸方向に伸長する導電性プラグであって、前記プラグがその軸方向の長さに沿って変化する幅を有し、前記幅が前記上部表面付近の軸位置で最小となる前記プラグを、含む半導体集積回路。

【請求項15】 前記誘電体の前記上部表面の上に位置し、前記プラグの上に位置しこれと電氣的に接触する導電性配線をさらに含む請求項14記載の集積回路。

【請求項16】 前記プラグの上に位置する前記配線の部分が、前記プラグの最小幅と前記プラグに対する前記配線の横方向の位置の最大限の考えられる累積誤差との和と等しいかそれより大きい幅を有する請求項15記載の集積回路。

【請求項17】 前記プラグの軸方向の長さに沿った様々な位置におけるプラグの最大幅と最小幅の差が、前記プラグに対する前記配線の横方向の位置の最大限の考えられる累積誤差と等しいかそれより大きい請求項15記載の集積回路。

【請求項18】 前記プラグの上に位置する前記配線の部分の幅が実質的に、前記プラグの最大幅以下である請求項17記載の集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般に半導体集積回路の製造に関し、さらに詳しくは、水平方向に伸長する金属配線ラインに接続した、垂直方向に伸長する金属プラグの作製法に関する。

## 【0002】

【発明の背景】図1を参照しながら説明するが、半導体集積回路は一般に、多数の層をその上に作製する基板から成る。最下部に1つ以上の半導体層12があり、そこに複数の半導体デバイスおよびその他の電子デバイスが形成される。次に誘電体層14があり、配線層（interconnect layer）またはメタライズ層16がそれに続く。（集積回路は、誘電体層とメタライズ層を交互に数回繰り返すことが多いが、ここでは説明のために1回しか示さない。）

配線層16は複数の配線ラインまたは導線18を含み、その機能は、半導体層12上の第1デバイスを第2のそうしたデバイスに電気的に接続することである。プラグ20は、誘電体層14を垂直方向に貫通して伸長し、第1デバイスを配線ライン18に電気的に接続する。配線ライン18およびプラグ20は、導電率の高い材料、一般的に金属またはドーパした半導体材料で作製される。

【0003】半導体デバイスを半導体層12に作製した後、残りの層は一般的に以下の段階で作製される。第1段階で、半導体層12の表面全体を覆うように、誘電体14を1層堆積する。第2段階で、誘電体においてプラグを形成する各位置に、「バイア」（via）と呼ばれる垂直穴をエッチングにより形成する。第3段階（任意選択）で、各バイアに極めて薄い障壁層および／または湿润層（wetting layer）21を堆積する。第4段階で、各バイアを埋めるために金属またはその他の導電材を堆積し、プラグ20を形成する。第5段階で、基板全体に金属またはその他の導電材のブランケット層を堆積する。第4段階および第5段階は、単一の堆積段階として実行することができる。第6段階で、配線ラインとなる導電材の領域を覆うように、ブランケット導電層上にレジスト材を堆積する。最終段階で、ブランケット導電層をエッチングして、レジストで覆われていない全表面から導電材を除去し、それにより配線ラインを形成する。

【0004】従来の配線ラインの製法の問題点は、配線ラインの縁部22のエッチング工程で、プラグ20の一部分が不都合にエッチングされることがあり、図2Aおよび図2Bに示すように、プラグに空隙（ボイド）24が形成されることである。このような空隙は、エッチング工程の持続時間が長すぎたとき（図2A参照）、または配線ラインの位置がプラグの位置に対してずれたために、配線ラインの一方の縁部22がプラグの隣接する縁部に近づきすぎるか重なり損ねたとき（図2B参照）に、発生し得る。

【0005】過剰エッチングまたは位置ずれによって空隙が形成される危険性は、図2Aに示すように、配線ラインの幅がプラグより狭いとき、すなわち「ゼロ・オーバーラップ（重なりがゼロ）」配線のときに、最高になる。しかし、集積回路のコンポーネントの密度を最大にするためには、「ゼロ・オーバーラップ」の配線ラインが望ましい。したがって、「ゼロ・オーバーラップ」の配線の下でのプラグの空隙を防止する方法が開発された。

【0006】配線エッチング工程でエッチングがプラグ内に及ぶのを防止する従来の1方法として、プラグおよび配線ラインを異なる材料で作製する方法がある。そうすれば、プラグ材をあまりエッチングしないエッチング剤で、配線の縁部を化学的にエッチングすることができる。具体的には、プラグおよび配線ラインは従来、それぞれタングステンおよびアルミニウムで形成される。塩素は、タングステンに比べてアルミニウムとの反応性がずっと高い。したがって、アルミニウムの配線の縁部は塩素により、タングステンのプラグを著しくエッチングすることなく、エッチングすることができる。

【0007】しかし、前段落で記述した方法は、少なくとも2つの点で不利である。1つの不利な点は、プラグおよび配線の両方に最善の導体材料を使用できないことである。特に、アルミニウムは、プラグに従来使用されるタングステンなどの材料より導電率が高い（抵抗率が低い）ので、プラグおよび配線ラインの両方に好ましい材料である。別の不利な点は、プラグと配線の2つの異なる材料間の接触部分が信頼できない場合があることである。

【0008】プラグと配線ラインを両方とも、例えばアルミニウムなどの同一材料で作製した場合、配線のエッチング工程でプラグに空隙が形成されるのを防止する従来の方法は、「ゼロ・オーバーラップ」配線ラインという目標を犠牲にすることである。具体的には、プラグの全ての側辺部に誘電体と重なる余分の幅（図1に“X”で示す）を持つ配線ラインを作製することにより、プラグ内までエッチングすることなく、特定の量の過剰なエッチング時間または配線とプラグの間の位置ずれを容認できるようにする。言うまでもなく、この方法の不利な点は、重なる部分（オーバーラップ）“X”が集積回路上の空間を浪費し、それによって、所与の表面積を持つ集積回路上で作製可能な半導体デバイスの数が減少することである。

## 【0009】

【発明の要約】本発明は、細いネックを有する導電性プラグを含む集積回路、およびそのようなプラグと上に位置する配線導体を作製する方法である。本発明は、配線のエッチングによりプラグに空隙が形成されるのを防止する。プラグは、キャビティの口付近に内向きに伸長する横方向の突起を有するキャビティまたはバイアを誘電体層に形成することによって作製する。上に位置する配

線は、1層の導体材料を堆積し、次にプラグの相対する2つの側辺部でこの層をエッチングすることにより、形成する。層のエッチング中、突起は金属プラグのエッチングが突起の向こう側に及ぶのを防止し、それによってエッチングのためにプラグに空隙が形成されるのを防止するので、有利である。

【0010】本発明は、上の配線をより細く作製することができる。すなわち、プラグの周囲の誘電体上の重なり部分（オーバラップ）が減少し、それによって集積回路の密度が改善される。

【0011】本発明は、プラグと配線をアルミニウムなどの同一導体材料で作製する場合に、特に有利である。

【0012】

【好適な具体例の詳細な説明】

#### 1. 工程の概要

図3は、本発明によるプラグと上の導体または配線ラインを作製する段階を示す。

【0013】本発明の段階を実施する前に、シリコン・ウェハなどの工作物上の半導体層12に、多数の半導体デバイスを作製したものみなす。本発明の段階1（図3A）では、半導体層の上に誘電体層14を堆積する。従来のどの誘電体堆積工程でも、この段階を実施するのに適している。誘電体層14は、単段階で堆積する単層でも、異なるプロセス・パラメータを使用して連続して段階的に堆積する複数の層であってもよい。シリコン・ウェハ上に堆積するのに好ましい現在の誘電体材料は、二酸化けい素である。

【0014】段階2（図3B）では、誘電体層14を貫通して半導体層12まで伸長する1つ以上のキャビティ30を形成する。本発明では、各キャビティ30は、キャビティ・ネック40すなわちキャビティの口34の真下のキャビティ側壁に突起32を有する。突起は、サブトラクティブ法またはアディティブ法のどちらでも形成することができる。サブトラクティブ法による本発明の実施例では、キャビティの頂部からよりキャビティの底部から、より多くの誘電体材料をエッチングすることによりキャビティをエッチングし、キャビティの口の真下のエッチングされない誘電体材料が突起を構成するようにする。突起を形成するエッチング保法は、以下に記述する。アディティブ法による実施例では、突起のないキャビティをエッチングで形成した後で、望ましくは、以下で説明するECRイオン化スパッタ堆積工程を用いて、突起を堆積する。

【0015】段階3（同じく図3Bに示す）では、各キャビティ30の底部に非常に薄い障壁層21を堆積する。従来のプラグ作製法と同様に、障壁層は、その後に堆積される導電性プラグ20の原子がシリコン層12に拡散するのを防止する。段階3は、任意選択的であるが、一般的には選択すべきである。段階3は、以下で詳しく説明するように、段階2と同時に、または段階2の

後で実施することができる。

【0016】段階4（図3C）では、各キャビティ30を金属で埋め、誘電体の上部表面38を金属で覆うように、金属またはその他の導体材料を堆積する。この段階の後、各キャビティ30を埋める金属はプラグ20を構成し、誘電体を覆う金属は配線層16を構成する。現在好ましい金属材料は、その高い導電率のために、アルミニウムである。金属は、空隙を形成せずにキャビティ30を埋めるのに適した従来の任意の堆積法により、堆積することができる。キャビティ30のアスペクト比が高い（すなわち深さ対幅の比が高い）場合、空隙の防止は特に重要である。

【0017】段階5（図3D）では、水平方向に伸長する導体または配線ライン18を誘電体14の上部表面38に残すように、プラグ20の口34の相対する側辺から金属を除去する。この段階は、配線ラインを形成するために従来使用されている任意のエッチング法により、実施することができる。図3Dで、結果的に得られる配線ライン18は、図面の用紙の面に対し直交方向に伸長する。

#### 【0018】2. キャビティ側壁の突起

先行技術のプラグ作製法では、本発明の段階5（図3D）に対応する最終エッチング段階で、エッチング段階における少なくとも2つの不正確さの源のため、プラグ20に（図2に示すような）空隙24が発生することがある。1つの潜在的な不正確さは、エッチング処理がすぐに停止されずに、プラグの上に位置する配線ライン18の縁部が、プラグの口34の幅より狭い幅までエッチングされることである。別の潜在的な不正確さは、配線ラインの位置を画成するフォトリソグラフィ・マスク（すなわちエッチング段階でレジストで覆われる金属層16の部分の画成するマスク）が、段階2（図3B）でプラグ・キャビティ30を配置するために使用したマスクに対し、横方向にずれる場合があることである。

【0019】最終エッチング段階でのこうした空隙の生成を防止するために、本発明では、キャビティ30の上部または「ネック」部40に、すなわちキャビティの側壁のキャビティの口34のすぐ下の部分に、内側に向かって伸長する横方向の突起32を設けることにより、たとえ金属配線ライン18が意図した以上にエッチングされても、またたとえ配線ラインの位置がプラグの位置に対してずれても、金属プラグ20がエッチングされるのを防止する。具体的には、配線ライン18の両側の外縁部22が下の突起32の対応する内縁部より外側にあれば、プラグに空隙は形成されない。

【0020】定量的には、今述べたように、配線18の過剰エッチングおよびプラグ・マスクに対する配線マスクの位置ずれによる、キャビティの口34に対する1つの配線縁部22の横方向の位置の累積または総誤差を量Δと定義する。さらに、プラグ20の幅を超える配線ラ

インの縁部22の公称重なりをXと定義し、ここで「公称」とは、製作公差による誤差がゼロのときの重なり（オーバーラップ）の量である。換言すれば、配線ラインの横幅Lは、キャビティの直径または幅Dを2Xだけ超えることになる（図1、図3B、および図3D参照）。

【0021】累積誤差Δが、突起32の横幅“W”と配線ラインの公称重なりXの和より小さければ、空隙は形成されない。したがって、上述の作製法のパラメータの選択において、突起の幅W（プロセス段階2で設定される）および配線の公称重なりX（プロセス段階5で設定される）は、これらの和が配線の縁部22の横方向の位置の最大可能な累積誤差Δと等しいかそれを超えるように、選択することが望ましい。

【0022】言い換えると、プラグの空隙の形成を防止するために必要な配線の重なりXは、キャビティ側壁の突起の幅Wによって減少する。突起の幅Wが配線縁部の横方向の位置の可能累積誤差Δと等しいかそれを超えれば、空隙の形成を回避しながら、重なりXがゼロの配線を作製することができる。

【0023】図3Dに示す例では、プラグ20の幅または直径は0.3ミクロンであり、突起32の幅Wは0.05ミクロン（500オングストローム）なので、プラグの最も狭い部分（すなわち突起で取り囲まれる部分）の幅または直径は0.2ミクロンである。配線ラインの重なりXがゼロならば、すなわち配線ラインの幅がプラグの最大幅Dの0.3ミクロンと等しければ、配線ライン18の位置の横方向の累積誤差Δが0.05ミクロン未満である限り、突起はプラグ20における空隙の形成を防止する。

【0024】突起32の最適幅Wは、2つの相対する考慮事項間のかね合いである。今説明したように、幅Wを増加すれば、段階5における配線ライン18のエッチング中に、空隙が形成される危険性は低下する。しかし、幅Wが大きすぎると、キャビティの口34が小さくなりすぎて、段階4の金属堆積段階で、キャビティ30を金属で完全に埋めることが困難になる。キャビティの一部に金属が埋まらなければ、キャビティ内部に空隙が発生する。したがって、幅Wの最適値は、段階5のエッチング中の空隙形成の防止と、段階4の堆積中の空隙発生防止と間のかね合いである。この最適値は、経験的に決定することができる。それは、使用するエッチング法および堆積法、ならびに工作物上に作製しようとするプラグおよび配線ラインの寸法によって異なると予想される。

【0025】3. プラグおよび配線のための導体材料の堆積法

本特許明細書の「工程の概要」の項で、本発明による5段階のプラグおよび配線作製法について説明した。この方法の段階4（図3C）は、各キャビティ30に金属を埋め、誘電体の上部表面38を金属で覆うように、金属

またはその他の導体材料を堆積することである。段階4の終了後、各キャビティ30を埋める金属はプラグ20を構成し、誘電体を覆う金属は配線層16を構成する。現在好ましい金属材料は、その高い導電率のために、アルミニウムである。

【0026】段階4（図4C）は、空隙を形成することなくキャビティ30に金属を埋めるように、好適な金属（またはその他の導電性材料）を堆積する従来の任意の方法とすることができる。キャビティ30が高いアスペクト比を有する（すなわち深さ対幅の比が高い）場合、空隙の防止はいつそう困難になる。次に、アスペクト比の高いキャビティでも空隙を形成せずに埋めることができるので、段階4（図3C）に特に適した、3種類の金属堆積法について説明する。

【0027】第1代替的カテゴリーの堆積法では、金属がキャビティ30内および誘電体14の上部表面38に等方性堆積されるが、プロセス条件は、堆積した金属が誘電体の上部表面の隣接領域からキャビティへと移動するのを促進する。このような堆積法は、高圧スパッタ堆積法およびリフローによるスパッタ堆積法を含む。

【0028】段階4（図3C）に適した第2代替的カテゴリーの金属堆積法では、金属の堆積の方向性が高い（すなわち異方性）ので、垂直方向の表面より水平方向の表面により多くの金属が堆積する。アスペクト比の高い穴を充填するのに適した従来の異方性金属堆積法は、コリメーテッド・スパッタ堆積法（collimated sputter deposition）、イオン化スパッタ堆積法、および選択的化学気相堆積法を含む。望ましくは、異方性堆積法を使用してキャビティを埋めた後、従来の等方性「ブランケット」堆積法を使用は、金属層16上に追加金属を堆積するために使用することができる。

【0029】段階4に適した第3代替的カテゴリーの金属堆積法は、図3に示す単段階4に代わって、図4に示す2つの部分段階を有する選択的化学的気相堆積法（選択的CVD）である。第1サブ段階（図4A）では、障壁層21の材料上の堆積を選択的に助長し、誘電体14の材料上の堆積を抑制する、従来の選択的CVD法を用いてキャビティを埋める。したがって、第1サブ段階ではキャビティ30内に金属が堆積し、それによってプラグ20が形成されるが、誘電体14の上部表面38には金属が大して堆積しない。第2サブ段階（図4B）では、従来の異方性「ブランケット」堆積法により、上部表面38上に金属層16が堆積する。

【0030】任意選択的段階3（上記「工程の概要」の項参照）を省略し、障壁層21を堆積しない場合には、第1サブ段階で使用する従来の選択的CVD法は、障壁層21ではなく、半導体層12上の堆積を選択的に助長する。様々な半導体や障壁材のために選択される、様々な選択的CVD法が知られている。

【0031】4. キャビティ側壁の突起の作製法

本特許明細書の「工程の概要」の項で、本発明による5段階のプラグおよび配線作製法について説明した。この方法の段階2(図3B)は、その口34が内向きの突起32を有するキャビティの作製段階である。次に、上記段階2を実行するための様々な方法について説明する。

【0032】図5は、突起32を形成する1つの方法を示す。この方法は、段階1の変更を必要とする。具体的には、段階1で誘電体14を2層に堆積する。下層46は比較的高いエッチング速度を有し、上層48は比較的低いエッチング速度を有する。その次のキャビティ30をエッチングする段階2では、上層の低いエッチング速度のために、上層の遅いエッチング速度は下層より横方向にエッチングを少なくし、それにより上層に望ましい突起が形成される。

【0033】エッチング速度を左右する1つの特徴は、密度である。特に、下層46のエッチング速度が比較的高く、上層48のエッチング速度が比較的低くなるように、これらの層を堆積する1つの方法は、上層48が下層46より密度が高くなるように、異なるプロセス・パラメータを用いて2つの層46、48を堆積することである。堆積される誘電体薄膜の密度に影響することがよく知られている誘電体CVDプロセス・パラメータとして、RF電力、処理室圧力、処理剤のそれぞれの分圧、アルゴン衝突、および誘電体中のドーパント(堆積中に処理ガス混合体に含まれるか、あるいはその後に誘電体薄膜に注入される)がある。

【0034】図6は、突起32を有するキャビティ30を作製する段階2を実行する代替法を示す。この代替法では、誘電体14を段階1で単一の均等な単層として堆積する(図3A)が、続く段階2のエッチング(図3B)は2つのサブ段階に分けて実施する。図6Aに示す第1サブ段階では、キャビティをエッチングしながらキャビティ30の側壁にパッシベーション層を堆積することにより、横方向のエッチングを最小にする従来の異方性エッチング法を使用して、キャビティの口34のすぐ下のキャビティ30の最上部または「ネック」部40をエッチングする。図6Bに示す第2サブ段階では、比較的等方性エッチングであり、側壁にパッシベーション層をほとんどまたは全く堆積しない従来のエッチング法を使用して、キャビティの残部(下部)をエッチングする。第2サブ段階中、その前にキャビティ・ネックの側壁に堆積したパッシベーション層は、横方向のエッチングを防止し続け、それによって所望の突起32が形成される。

【0035】段階2を実行する、すなわち突起32を有するキャビティ30を形成する上述の方法は全てサブトラティブ法であり、キャビティ30の残部がエッチングされた後に残る誘電体材料が突起である。対照的に、図7に示すのは、段階2を2つのサブ・段階として実施するアディティブ法であり、第1がエッチング・サブ段

階であり、続く堆積・サブ段階である。

【0036】図7Aに示す第1サブ段階では、従来のエッチング法を用いて、突起の無い垂直側壁を有する従来のバイア・キャビティ30をエッチングする。

【0037】図7Bに示す第2サブ段階では、キャビティ・ネック40(すなわち、側壁の上部のキャビティの口34のすぐ下の部分)の側壁に、耐エッチング剤材料(etchant-resistant material)の凸形層または突起32を堆積する。

【0038】凸形層または突起32として堆積する材料を「耐エッチング剤」と記述する場合、その後の段階5で、材料層16の部分を除去して配線ライン18を形成するときに使用するエッチング剤に対し、その材料が耐性を持つことを意味する。材料の選択は、段階5で使用するエッチング剤に依存し、またエッチング剤は、段階4で堆積する金属の種類に依存する。例えば、段階4でアルミニウムを堆積し、アルミニウムを段階5で従来の塩素含有エッチング剤でエッチングすると仮定する。この場合、適切な耐エッチング剤材料として、窒化チタン、チタン層の上に堆積した窒化チタン層、タンタル、窒化タンタル、またはタンタル層の上に堆積した窒化チタン層が挙げられる。

【0039】多くのスパッタ法は、材料を堆積するときキャビティ・ネックにオーバハング(張出し)ができる傾向があるので、スパッタは、キャビティ・ネック40の側壁に突起32を堆積するのに適した方法である。多くの適用分野において、こうしたオーバハングは望ましくなく、スパッタリング法はオーバハングを最小限に抑制するように設計される。しかし、本発明では、制御された量のオーバハングは、突起32を形成するのに役立つ。

【0040】本発明の好適な実施例では、突起32および障壁21を同一材料で構成し、同時に堆積する。これにより、段階2(突起32の形成)および段階3(障壁層21の堆積)を単一プロセス段階として実行することが可能になり、プロセス段階の総数が減少するので有利である。

【0041】シリコン基板12上にアルミニウムのプラグおよび配線を作製する本発明の好適なプロセスでは、突起32および障壁21の両方を形成するために堆積する材料として、窒化チタンを使用することが望ましい。窒化チタンは、上述の通り、アルミニウムをエッチングするために一般的に使用される塩素系エッチング剤によるエッチングに抵抗性があるので、突起32を形成するのに適している。窒化チタンは、アルミニウムが下のシリコンに拡散するのを防止する障壁として幅広く使用されるので、障壁21を形成するのに適している。

【0042】段階2(突起32の形成)および段階3(障壁21の堆積)を単一処理段階として実行することは、適切な厚さの障壁層21と同時に適切な厚さの突起



## 11

32が堆積するように、キャビティ・ネックにおける堆積速度とキャビティ底部における堆積速度との兼ね合いに依存する。キャビティ・ネックおよびキャビティ底部におけるそれぞれの堆積速度間の比が高すぎたり、低すぎる場合、適切な幅の突起32を堆積すると、障壁21は薄すぎるか厚すぎるかのいずれかとなる。さらに、キャビティ底部に対しキャビティ・ネックの堆積速度が高すぎる場合、突起の成長が早すぎるために、キャビティ底部をスパッタ材で被覆することが阻止される。

【0043】スパッタ堆積では、堆積される材料が、軌跡角度の分布(distribution of trajectory angles)で、半導体基板または工作物に到達することがよく知られている。キャビティ・ネックおよびキャビティ底部のそれぞれの堆積速度間の比は、工作物に対し実質的に直交しない軌跡で到達する材料の割合に比例する。

【0044】前述の通り、本発明の突起32および障壁21に好適な材料は、窒化チタンである。キャビティのネックと底部の堆積速度間で適切な比を達成するために、現在望ましい窒化チタンのスパッタ方法は、従来のECR(電子サイクロトロン共鳴装置)プラズマ源を使用する従来のイオン化スパッタ堆積法である。窒化チタンの非イオン化スパッタ法では、キャビティ・ネックに堆積する材料の割合が高くなりすぎる可能性があると思われ。逆に、誘導性プラズマ源を使用したイオン化スパッタ堆積法では、キャビティ底部に堆積する材料の割合が高くなりすぎる可能性があると思われ。

【0045】キャビティのネックおよび底部における堆積速度間の比は、キャビティ底部からキャビティ・ネックへの材料の再スパッタによっても増加する。イオン化スパッタ法では、再スパッタ速度は、工作物を支持する電極に印加する負のDCバイアス電圧を増加(または減少)することによって、増加(または減少)することができる。したがって、バイアス電圧の調整は、突起の幅と障壁の厚さの比率を調整する1つの方法である。我々は、窒化チタンの誘導結合プラズマ・イオン化スパッタリングの場合より、ECRイオン化スパッタリングの方が、再スパッタ速度が高いことを我々は観察した。

【0046】突起32の幅もまた、堆積した薄膜の圧縮応力の量に比例して増加する。スパッタ堆積した窒化チタン薄膜は圧縮応力が高く、薄膜の隅部のふくらみが助長される。薄膜の応力は、基板の温度および堆積プロセス中のスパッタ反応室内の窒素ガスの分圧によって影響される。これらのパラメータは、窒化チタン薄膜の応力を調節するよう調整することができ、それによって突起32の幅を調整することができる。

【0047】突起32を形成するための耐エッチング材料(例えばTiN)の堆積により、誘電体14の外部表面38上に耐エッチング材料の層52も堆積される。したがって、プロセス段階2の終了後に生成される構造は、図3Bではなく、図7Bに示す通りであり、層52

## 12

はこれらの2つの図の間の唯一の相違点である。その後、プロセス段階4(図3C)で堆積する金属層16(例えばアルミニウム)を、耐エッチング材料の層52の上に直接堆積し、図7Cに示す構造を形成することができる。

【0048】次に、プロセス段階5で、耐エッチング材料52をエッチングするよりかなり高い速度で金属層16をエッチングするエッチング剤を使用し、従来の任意のパターニング・プロセスによって、金属層16をパターン化して、配線ライン18を形成する。例えば、金属層16がアルミニウムであり、耐エッチング材料52が窒化チタンである場合、窒化チタンよりアルミニウムをかなり高い速度で塩素を含むエッチング剤を使用して、金属層をパターン化することができる。一般的に金属パターニング・プロセスの段階は、金属層16の上にフォトリソを堆積し、配線ライン18の所望位置以外の部分からフォトリソをフォトリソグラフィにより除去し、次にフォトリソで被覆されない金属層の部分のエッチングする。段階5の結果、図7Dに示す構造が形成され、金属配線ライン18が金属プラグ20の上に来て、これと接触する。プラグ20のネック40に突出する耐エッチング材料の部分32は、たとえ配線ラインが過剰にエッチングされたり多少の位置ずれが起こっても、金属パターニング段階中にプラグがエッチングされることから保護する。

【0049】図7Dに示すように、耐エッチング材料52の層が、パターニング段階後に誘電体14の外部表面38上に残る。この層52は、次のエッチング段階で、金属18、20より耐エッチング材料52に対する活性が実質的に高いエッチング剤を使用することにより、除去することができる。アルミニウムの配線18およびプラグ20、ならびに窒化チタンの耐エッチング層52の例では、耐エッチング層を除去するのに適したエッチング剤は、半導体の製造に共通的に使用される任意のふっ素含有エッチング剤とすることができる。誘電体14より上に伸長する突起32の部分54(図7E参照)を横方向にエッチングすることなく、露出層52が除去されるように、エッチング・プロセスは垂直の方向性が高いことが望ましい(異方性)。工作物上で負のDCバイアスを使用する従来のプラズマ・エッチング・プロセスにより、適切な方向性が達成することができる。図7Eは、層52を除去した後の最終構造を示す。

【0050】本明細書全体を通して、「金属」材料という場合は全て、窒化チタンやドーパした半導体材料など、導電体として使用できる他の全ての材料を含むものとする。

【図面の簡単な説明】

【図1】集積回路における従来のプラグおよび配線ラインの断面図である。

【図2】Aは空隙を有するプラグ上の従来の「ゼロ・オ

13

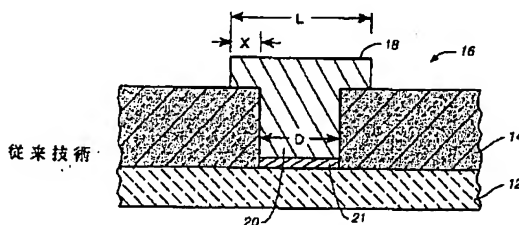
「オーバーラップ」の配線ラインの断面図である。Bはプラグの周囲を包囲する誘電体と重なる従来の配線ラインの断面図であり、プラグに対する配線ラインの位置ずれのためにプラグには空隙がある。

【図3】本発明の作製法の連続的段階におけるプラグおよび配線ラインの断面図である。

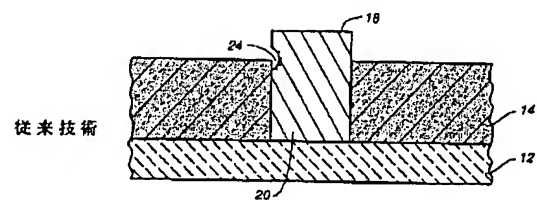
【図4】Aは選択的CVDによって作製したプラグの断面図である。Bはその後で集積回路の表面上に堆積した導体材料の断面図である。

【図5】エッチング速度の下層の誘電体およびエッチン 10

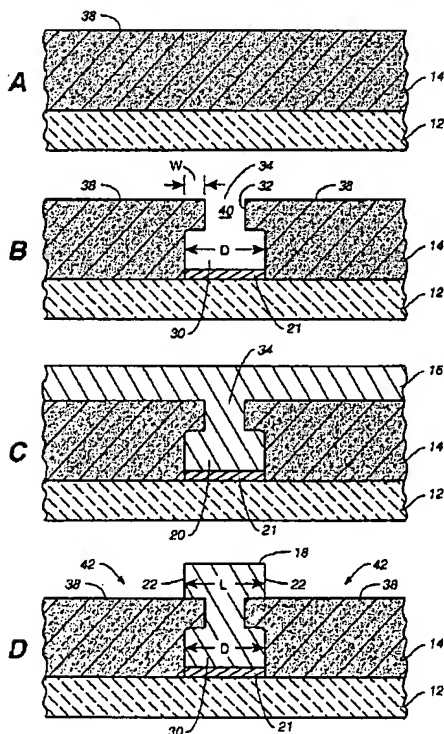
【図1】



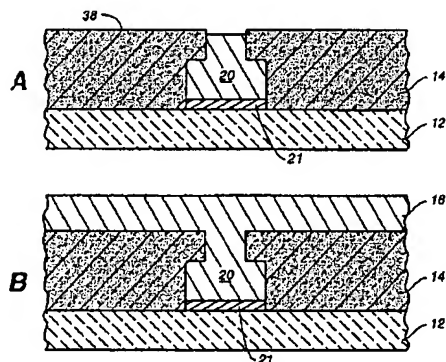
【図2】



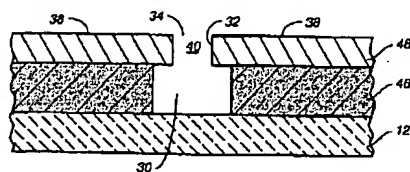
【図3】



【図4】

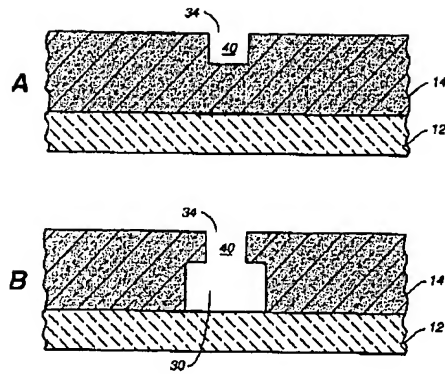


【図5】

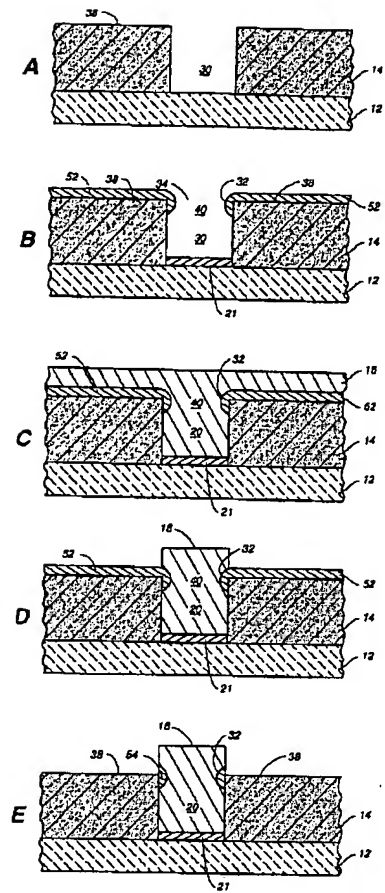




【図6】



【図7】



フロントページの続き

(72)発明者 ハイム ノルマン  
 アメリカ合衆国、 カリフォルニア州、  
 パロ アルト、 エル カミノ ウェイ  
 4155-6

【外国語明細書】

1. Title of Invention

FABRICATING PLUG AND NEAR-ZERO OVERLAP  
INTERCONNECT LINE

整理番号 : P 9 7 A M - 1 5 7

( 2 / 1 6 )

## 2. Claims

1. A method of fabricating on a semiconductor workpiece a vertically-extending, electrically conductive plug, comprising the steps of:
  - depositing on the workpiece a dielectric layer having an outer surface;
  - creating in the dielectric layer a cavity bounded by a cavity side wall which extends vertically downward from a cavity mouth at the outer surface of the dielectric, wherein the side wall includes an inwardly-extending lateral protrusion near the cavity mouth; and
  - depositing electrically conductive material to fill the cavity, thereby forming a plug.
2. A method according to claim 1, wherein the step of depositing the dielectric layer further comprises the steps of:
  - depositing a lower layer of dielectric; and
  - depositing an upper layer of dielectric having a lower etch rate than the lower layer, the upper layer being deposited over the lower layer.
3. A method according to claim 2, wherein the lower layer of dielectric is deposited with a lower density than the upper layer of dielectric.
4. A method according to claim 1, wherein the step of creating the cavity further comprises the steps of:
  - etching in the dielectric layer an upper portion of the cavity using a first, anisotropic etch process which etches the bottom surface of said upper portion faster than the side surface of the upper portion; and then
  - etching in the dielectric layer a lower portion of the cavity using a second etch process which is more isotropic than the first etch process.
5. A method according to claim 4, wherein the first etch process deposits a passivation layer on the side surface of the upper portion of the cavity, and wherein the passivation layer impedes etching of the side surface of the upper portion of the cavity during the second etch process.
6. A method according to claim 1, wherein the step of creating said cavity having a protrusion further comprises the steps of:
  - etching the cavity in the dielectric layer; and
  - depositing an etchant-resistant material on the wall of the cavity adjacent the cavity mouth.

the etchant-resistant material being resistant to etching by at least one etchant substance which etches said electrically conductive material substantially faster than it etches the etchant resistant material.

7. A method according to claim 6, wherein the electrically conductive material is aluminum and the etchant-resistant material is selected from the group consisting of titanium nitride, a titanium nitride layer deposited over a titanium layer, tantalum, tantalum nitride, and a tantalum nitride layer deposited over a tantalum layer.

8. A method according to claim 6, wherein the step of depositing the etchant-resistant material comprises electron cyclotron resonance ionized sputter deposition of the etchant-resistant material.

9. A method according to claim 8, wherein the etchant-resistant material is titanium nitride.

10. A method according to claim 1, further comprising the steps of:

depositing a layer of electrically conductive material onto the outer surface of the dielectric and onto the plug; and

etching a portion of the conductive layer on two opposing sides of the cavity mouth so as to leave un-etched a horizontally-extending interconnect conductor connecting to the metal plug;

wherein the inward extension of the protrusion is sufficient to prevent the step of etching the conductive layer from also etching the plug beyond the protrusion.

11. A method according to claim 10, wherein:

the interconnect is laterally bounded by first and second lateral edges; and

the creating step further includes creating the protrusion with a lateral width greater than or equal to the maximum likely cumulative error in the position of either of the interconnect edges relative to the cavity mouth.

12. A method according to claim 10, wherein the electrically conductive material is metal.

13. A method according to claim 12, wherein the metal is aluminum.

14. A semiconductor integrated circuit, comprising:

a semiconductor layer;

a dielectric layer overlying the semiconductor layer, the dielectric layer having opposite

upper and lower surfaces, the lower surface being adjacent the semiconductor layer ;

an electrically conductive plug axially extending through the dielectric layer from the upper surface to the lower surface, wherein the plug has a width which varies along its axial length, said width being smallest at an axial position near the upper surface.

15. An integrated circuit according to claim 14, further comprising an electrically conductive interconnect which overlies the upper surface of the dielectric and which overlies and electrically contacts the plug.

16. An integrated circuit according to claim 15, wherein the portion of the interconnect overlying the plug has a width greater than or equal to the sum of the smallest width of the plug and the maximum likely cumulative error in the lateral position of the interconnect relative to the plug.

17. An integrated circuit according to claim 15, wherein the difference between the maximum width and the minimum width of the plug at different points along the axial length of the plug is greater than or equal to the maximum likely cumulative error in the lateral position of the interconnect relative to the plug.

18. An integrated circuit according to claim 17, wherein the portion of the interconnect overlying the plug has a width not substantially greater than the maximum width of the plug.

### 3. Detailed Description of Invention

#### FIELD OF THE INVENTION

The invention relates generally to methods of fabricating semiconductor integrated circuits, and, more specifically, to methods of fabricating a vertically-extending metal plug connected to a horizontally-extending metal interconnect line.

#### BACKGROUND OF THE INVENTION

Referring to Figure 1, a semiconductor integrated circuit generally has a structure consisting of a substrate on which a number of layers are fabricated. Lowermost are one or more semiconductor layers 12 in which a plurality of semiconductor devices and other electronic devices are fabricated. Next is a dielectric layer 14, followed by an interconnect layer or metallization layer 16. (Integrated circuits often include a number of alternating dielectric and metallization layers, but only one is shown here for sake of illustration.)

The interconnect layer 16 includes a plurality of interconnect lines or conductor lines 18 whose function is to electrically connect a first device on the semiconductor layer 12 to a second such device. A plug 20 extends vertically through the dielectric layer 14 to electrically connect the first device to the interconnect line 18. The interconnect lines 18 and plugs 20 are fabricated of a material having high electrical conductivity, typically metal or doped semiconductor material.

After the semiconductor devices are fabricated in the semiconductor layer 12, the remaining layers typically are fabricated by the following steps. First, a layer of dielectric 14 is deposited to cover the entire surface of the semiconductor layer 12. Second, a vertical hole called a "via" is etched in the dielectric at each location where a plug is to be created. Third (optional), an extremely thin barrier layer and/or wetting layer 21 is deposited in each via. Fourth, a metal or other conductive material is deposited to fill each via to form the plugs 20. Fifth, a blanket layer of metal or other conductive material is deposited over the substrate. The fourth and fifth steps may be performed as a single deposition step. Sixth, resist material is deposited and patterned over the blanket conductive layer so as to cover the areas of the conductive material which are to become the interconnect lines. Finally, the blanket conductive layer is etched to remove the conductive material from all surfaces not covered by resist, thereby creating the interconnect lines.

A problem with conventional processes for forming an interconnect line is that the process of etching the edge 22 of the interconnect line can undesirably etch part of the plug 20, creating a void 24 in the plug as shown in Figures 2A and 2B. Such voids can be created when the etching process is continued too long (see Figure 2A), or when the interconnect line is misaligned relative to the plug so that one edge 22 of the interconnect line is too close to, or fails to overlap, the adjacent edge of



整理番号 : P 9 7 A M - 1 5 7

( 6 / 1 6 )

the plug (see Figure 2B).

The risk of creating voids caused by over-etching or misalignment is highest if the interconnect line is no wider than the plug, i.e., a "zero overlap" interconnect, as shown in Figure 2A. However, "zero overlap" interconnect lines are desirable to maximize the density of components on an integrated circuit. Therefore, methods have been developed to prevent voids in plugs beneath "zero overlap" interconnects.

One conventional method of preventing the interconnect etch process from etching into the plug is to fabricate the plug and interconnect lines of different materials. The edge of the interconnect then can be chemically etched using an etchant which does not significantly etch the plug material. Specifically, plugs and interconnect lines conventionally are fabricated of tungsten and aluminum, respectively. Chlorine is much more reactive with aluminum than with tungsten. Therefore, the edges of the aluminum interconnects can be etched with chlorine without significantly etching the tungsten plugs.

However, the method described in the preceding paragraph is disadvantageous in at least two respects. One disadvantage is that it precludes using the best conductor material for both the plugs and the interconnects. Specifically, aluminum is the preferred material for both the plugs and the interconnect lines because aluminum has a higher conductivity (lower resistivity) than other materials conventionally used for fabricating plugs, such as tungsten. Another disadvantage is that the contact between two different plug and interconnect materials can be unreliable.

When both the plugs and the interconnect lines are fabricated of the same material, such as aluminum, a conventional method of preventing the interconnect etch process from creating a void in the plug is to compromise the goal of "zero overlap" interconnect lines. Specifically, the interconnect lines are fabricated with extra width (labelled as "X" in Figure 1) overlapping the dielectric on all sides of the plug, so that a certain amount of excessive etch time or misalignment between the interconnects and the plugs can be tolerated without etching into the plug. Of course, a disadvantage of this method is that the overlap "X" wastes space on the integrated circuit, thereby reducing the number of semiconductor devices which can be fabricated on an integrated circuit having a given surface area.

#### SUMMARY OF THE INVENTION

The invention is an integrated circuit including an electrically conductive plug having a narrow neck, and a method of fabricating such plug and an overlying interconnect conductor. The invention prevents the etching of the interconnect from creating a void in the plug. The plug is fabricated by creating in the dielectric layer a cavity or via having an inwardly-extending lateral protrusion near the mouth of the cavity. The overlying interconnect is created by depositing a layer

of conductive material and then etching the layer on two opposing sides of the plug. During etching of the layer, the protrusion advantageously prevents any etching of the metal plug beyond the protrusion, thereby preventing the etching from creating voids in the plug.

The invention permits the overlying interconnect to be fabricated more narrowly, i.e., with less overlap over the dielectric surrounding the plug, thereby improving the density of the integrated circuit.

The invention is particularly advantageous when the plug and interconnect are fabricated of the same conductive material, such as aluminum.

## DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

### 1. Process Overview

Figure 3 illustrates the steps of fabricating a plug and overlying conductor or interconnect line according to our invention.

Before performing the steps of the invention, it is assumed that a number of semiconductor devices have been fabricated in a semiconductor layer 12 on a workpiece such as a silicon wafer. Step 1 of the invention (Figure 3A) is depositing a dielectric layer 14 over the semiconductor layer.

Any conventional dielectric deposition process is suitable for performing this step. The dielectric layer 14 can be a single layer deposited in a single step, or multiple layers deposited in successive steps using different deposition process parameters. The currently preferred dielectric material for deposition on a silicon wafer is silicon dioxide.

Step 2 (Figure 3B) is creating one or more cavities 30 which extend through the dielectric layer 14 to the semiconductor layer 12. In our invention, each cavity 30 includes a protrusion 32 in the cavity neck 40, i.e., in the cavity side wall just below the cavity mouth 34. The protrusion may be created subtractively or additively. In a subtractive embodiment of the invention, the cavity is etched by a process that etches more dielectric material from the base of the cavity than from the top, so that un-etched dielectric material just below the mouth of the cavity constitutes the protrusion. Etching methods for creating the protrusion will be described below. In an additive embodiment, the cavity is etched without a protrusion, and then the protrusion is deposited, preferably using the ECR ionized sputter deposition process described below.

Step 3 (also shown in Figure 3B) is depositing a very thin barrier layer 21 on the bottom of each cavity 30. As in conventional plug fabrication processes, the barrier layer inhibits diffusion into the silicon layer 12 of atoms of the subsequently deposited conductive plug 20. Step 3 is optional, but typically preferred. Step 3 can be performed concurrent with, or subsequent to, Step 2, as will be described in more detail below.

Step 4 (Figure 3C) is depositing metal or other conductive material so as to fill each cavity 30 with the metal and cover the dielectric top surface 38 with the metal. After this step, the metal filling each cavity 30 constitutes a plug 20, and the metal covering the dielectric constitutes an interconnect layer 16. The currently preferred metal material is aluminum because of its high electrical conductivity. The metal can be deposited by any conventional deposition process suitable for filling the cavity 30 without creating a void. Preventing voids is especially critical if the cavity 30 has a high aspect ratio (i.e., high ratio of depth to width).

Step 5 (Figure 3D) is removing metal from opposing sides 42 of the mouth 34 of the plug 20 so as to leave a horizontally extending conductor or interconnect line 18 on the top surface 38 of the dielectric 14. This step can be performed by any etch process conventionally used for creating interconnect lines. In Figure 3D, the resulting interconnect line 18 extends perpendicular to the plane of the drawing sheet.

## 2. Protrusion in Cavity Wall

In prior art plug fabrication processes, the final etch step corresponding to our Step 5 (Figure 3D) can produce a void 24 in the plug 20 (as shown in Figure 2) due to any of at least two sources of inaccuracy in the etch step. One potential inaccuracy is that the etch process is not terminated soon

enough, so that the edges of the interconnect line 18 overlying the plug are etched to a width less than the width of the mouth 34 of the plug. Another potential inaccuracy is that the photolithography mask that defines the location of the interconnect line (i.e., the mask that defines the portion of the metal layer 16 which will be covered by resist during the etch step) can be laterally misaligned relative to the mask used in Step 2 (Figure 3B) to locate the plug cavity 30. Such misalignment is illustrated in Figure 2.

To prevent the final etch step from producing such voids, in our invention the inwardly-extending lateral protrusion 32 in the top or "neck" portion 40 of the cavity 30 — i.e., in the side wall of the cavity just below the cavity mouth 34 — prevents the metal plug 20 from being etched even if the metal interconnect line 18 is etched more than intended and even if the interconnect line is misaligned relative to the plug. Specifically, a void will not be created in the plug if both outer edges 22 of the interconnect line 18 are outside the corresponding inner edges of the underlying protrusions 32.

In quantitative terms, suppose we define a quantity  $\Delta$  as the cumulative or total error in the lateral position of one interconnect edge 22 relative to the cavity mouth 34, due to such factors as excessive etching of the interconnect 18 and misalignment of the interconnect mask relative to the plug mask, as just discussed. Additionally, define  $X$  as the nominal overlap of the edge 22 of the interconnect line beyond the width of the plug 20, where "nominal" means the amount of overlap when errors due to manufacturing tolerances are zero. In other words, the lateral width  $L$  of the interconnect line exceeds the diameter or width  $D$  of the cavity by  $2X$ . (See Figures 1, 3B, and 3D.)

A void will not be created if the cumulative error  $\Delta$  is less than the sum of the lateral width "W" of the protrusion 32 and the nominal overlap  $X$  of the interconnect line. Therefore, in choosing the parameters of the previously described fabrication process, the width  $W$  of the protrusion (established in process Step 2) and the nominal overlap  $X$  of the interconnect (established in process Step 5) preferably should be chosen so that their sum equals or exceeds the maximum likely cumulative error  $\Delta$  in the lateral position of the interconnect edge 22.

In other words, the overlap  $X$  of the interconnect required to prevent formation of a void in the plug is reduced by the width  $W$  of the protrusion in the cavity side wall. If the protrusion width  $W$  equals or exceeds the likely cumulative error  $\Delta$  in the lateral position of the interconnect edge, then the interconnect can be fabricated with zero overlap  $X$  while still avoiding the formation of voids.

In the example shown in Figure 3D, the width or diameter of the plug 20 is 0.3 micron, and the width  $W$  of the protrusion 32 is 0.05 micron (500 Å), so that the narrowest portion of the plug (i.e., the portion surrounded by the protrusion) has a width or diameter of 0.2 micron. If the interconnect line has zero overlap  $X$  — i.e., if the width of the interconnect line equals the 0.3

整理番号 : P 9 7 A.M - 1 5 7

( 1 0 / 1 6 )

micron maximum width  $D$  of the plug — the protrusion will prevent the formation of a void in the plug 20 so long as the cumulative lateral error  $\Delta$  in the position of the interconnect line 18 is less than 0.05 micron.

The optimum width  $W$  of the protrusion 32 is a balance between two opposing considerations. As just explained, increasing the width  $W$  reduces the risk of creating voids during the etching of the interconnect lines 18 in Step 5. However, if the width  $W$  is too great, the mouth 34 of the cavity will become so small that it will be hard to completely fill the cavity 30 with metal in Step 4, the metal deposition step. If a portion of the cavity is not filled with metal, the likely result is a void inside the cavity. Therefore, the optimum value of the width  $W$  is a balance between preventing voids during the etching of Step 5 and preventing voids during the deposition of Step 4. This optimum value can be determined empirically. It is expected to depend on the etch and deposition processes being used and the dimensions of the plugs and interconnects being fabricated on the workpiece.

### 3. Methods of Depositing Conductive Material for Plug and Interconnect

The "Process Overview" section of this patent specification described a five step process for fabricating a plug and interconnect according to the present invention. Step 4 of that process (Figure 3C) is depositing metal or other conductive material so as to fill each cavity 30 with the metal and cover the dielectric top surface 38 with the metal. Upon completion of Step 4, the metal filling each cavity 30 constitutes a plug 20, and the metal covering the dielectric constitutes an interconnect layer 16. The currently preferred metal material is aluminum because of its high electrical conductivity.

Step 4 (Figure 3C) can be any conventional process for depositing the preferred metal (or other electrically conductive material) so as to fill the cavity 30 with the metal without creating a void. Preventing voids is more challenging if the cavity 30 has a high aspect ratio (i.e., high ratio of depth to width). We now will describe three alternative metal deposition processes which are especially suitable for Step 4 (Figure 3C) because they can fill high aspect ratio cavities without creating voids.

In the first alternative category of deposition process, the metal is deposited isotropically in the cavity 30 as well as on the top surface 38 of the dielectric 14, but process conditions promote migration of deposited metal into the cavity from adjacent areas of the dielectric top surface. Such processes include high pressure sputter deposition and sputter deposition with reflow.

In the second alternative category of metal deposition process suitable for Step 4 (Figure 3C), the metal deposition is highly directional (i.e., anisotropic), so that more metal deposits on horizontal surfaces than vertical surfaces. Conventional anisotropic metal deposition processes suitable for filling high aspect ratio holes include collimated sputter deposition, ionized sputter deposition, and

selective chemical vapor deposition. Preferably, after the cavity is filled using an anisotropic deposition process, a conventional isotropic "blanket" deposition process can be used to deposit additional metal on the metal layer 16.

The third alternative category of metal deposition process suitable for Step 4 is a selective chemical vapor deposition (selective CVD) process having two sub-steps, shown in Figure 4, which replace the single Step 4 shown in Figure 3C. In the first sub-step (Figure 4A), the cavity is filled using a conventional selective CVD process which selectively favors deposition on the material of the barrier layer 21 and disfavors deposition on the material of the dielectric 14. Consequently, the first sub-step deposits metal in the cavity 30, thereby creating the plug 20, but does not deposit appreciable metal on the upper surface 38 of the dielectric 14. In the second sub-step (Figure 4B), the metal layer 16 is deposited on the upper surface 38 by a conventional isotropic "blanket" deposition process.

If the optional Step 3 (see "Process Overview", above) is omitted so that no barrier layer 21 is deposited, then the conventional selective CVD process employed in the first sub-step should be one which selectively favors deposition on the semiconductor layer 12 instead of the barrier layer 21. Different selective CVD processes are well known which are selective in favor of different semiconductors and barrier materials.

#### 4. Methods of Fabricating Protrusion in Cavity Wall

The "Process Overview" section of this patent specification described a five step process for fabricating a plug and interconnect according to the present invention. Step 2 of that process (Figure 3B) is fabricating a cavity 30 whose mouth 34 has an inward protrusion 32. We now will describe various alternative methods for performing the aforesaid Step 2.

Figure 5 illustrates one method of fabricating the protrusion 32. This method requires a modification to Step 1. Specifically, in Step 1 the dielectric 14 is deposited in two layers: a lower layer 46 having a relatively high etch rate and an upper layer 48 having a relatively low etch rate. During the subsequent Step 2 in which the cavity 30 is etched, the slower etch rate of the upper layer will cause it to etch laterally less than the lower layer, thereby producing the desired protrusion at the upper layer.

One characteristic that affects etch rate is density. Specifically, one method of depositing lower and upper layers 46, 48 so that their etch rates are relatively high and low, respectively, is to deposit the two layers 46, 48 with different process parameters which cause the upper layer 48 to be denser than the lower layer 46. Dielectric CVD process parameters which are well known to affect the density of the deposited dielectric film include: RF power, chamber pressure, respective partial pressures of process reagents, argon bombardment, and dopants in the dielectric (either included in



整理番号 : P 9 7 A M - 1 5 7

( 1 2 / 1 6 )

the process gas mixture during deposition, or subsequently implanted in the dielectric film).

Figure 6 illustrates an alternative method of performing Step 2, i.e., fabricating a cavity 30 having a protrusion 32. In this alternative, the dielectric 14 is deposited in Step 1 as a single, uniform layer (Figure 3A), but then the Step 2 etching (Figure 3B) is performed in two sub-steps. In the first sub-step, illustrated in Figure 6A, the top or "neck" portion 40 of the cavity 30 just below the cavity mouth 34 is etched using a conventional anisotropic etch process which minimizes lateral etching by depositing a passivation layer on the sidewall of the cavity 30 as the cavity is being etched. In the second sub-step, shown in Figure 6B, the remaining (lower) portion of the cavity is etched using a conventional etch process which is relatively isotropic and which deposits little or no passivation layer on the sidewall. During the second sub-step, the passivation layer previously deposited on the sidewall of the cavity neck will continue to impede lateral etching, thereby creating the desired protrusion 32.

The foregoing methods for performing Step 2 — i.e., for creating a cavity 30 having a protrusion 32 — are all subtractive, in that the protrusion is the dielectric material that remains after the remainder of the cavity 30 has been etched away. In contrast, Figure 7 illustrates an additive method of performing Step 2 as two sub-steps: first an etch sub-step, followed by a deposition sub-step.

The first sub-step, shown in Figure 7A, is to etch a conventional via cavity 30 having vertical side walls with no protrusion using a conventional etch process.

The second sub-step, shown in Figure 7B, is to deposit a convex-shaped layer or protrusion 32 of etchant-resistant material on the side wall of the cavity neck 40 (i.e., on the upper portion of the side wall, just below the cavity mouth 34).

When the material deposited as the convex layer or protrusion 32 is described as "etch resistant", we mean that the material is resistant to the etchant used in subsequent Step 5 to remove portions of the metal layer 16 to create interconnect lines 18. The choice of material depends on the etchant used in Step 5, which, in turn, depends on the type of metal deposited in Step 4. For example, suppose aluminum is deposited in Step 4, and the aluminum is etched in Step 5 by a conventional chlorine-containing etchant. In that case, suitable etchant-resistant materials would include titanium nitride, a titanium nitride layer deposited over a titanium layer, tantalum, tantalum nitride, or a tantalum nitride layer deposited over a tantalum layer.

Sputtering is a suitable process for depositing the protrusion 32 on the side wall of the cavity neck 40, because many sputtering processes tend to deposit material having an overhang at the cavity neck. In most applications, such overhang is undesirable and the sputtering process is designed to minimize the overhang. However, in the present invention, a controlled amount of overhang is useful to create the protrusion 32.

In our preferred embodiment of the invention, the protrusion 32 and the barrier 21 are composed of the same material and are deposited simultaneously. This enables Step 2 (creating the protrusion 32) and Step 3 (depositing the barrier layer 21) to be performed as a single process step, advantageously reducing the total number of process steps.

In our preferred process for fabricating aluminum plugs and interconnects on a silicon substrate 12, titanium nitride is preferred as the material deposited to form both the protrusion 32 and the barrier 21. Titanium nitride is suitable to form the protrusion 32 because, as mentioned above, it resists etching by the chlorine-based etchants typically used to etch aluminum. Titanium nitride is widely used as a barrier to prevent diffusion of aluminum into underlying silicon, so it is also suitable to form the barrier 21.

Performing Step 2 (creating the protrusion 32) and Step 3 (depositing the barrier layer 21) as a single process step depends on balancing the deposition rates on the cavity neck and cavity bottom so that a protrusion 32 of suitable thickness is deposited at the same time as a barrier layer 21 of suitable thickness. If the ratio between the respective deposition rates on the cavity neck and cavity bottom is too high or too low, then the barrier 21 will be too thin or too thick when a suitably wide protrusion 32 is deposited. Furthermore, an excessive deposition rate on the cavity neck relative to the cavity bottom may grow the protrusion so fast as to block portions of the cavity bottom from coverage by the sputtered material.

In sputter deposition, it is well known that the material being deposited arrives at the semiconductor substrate or workpiece with a distribution of trajectory angles. The ratio between the respective deposition rates on the cavity neck and cavity bottom is proportional to the proportion of the material arriving with trajectories substantially non-perpendicular to the workpiece.

As stated earlier, our preferred material for the protrusion 32 and barrier 21 is titanium nitride. To achieve a suitable ratio between the deposition rates on the cavity neck and bottom, our presently preferred method for sputtering the titanium nitride is conventional ionized sputter deposition using a conventional ECR (electron cyclotron resonator) plasma source. We expect that non-ionized sputtering of titanium nitride would likely deposit too high a proportion of material on the cavity neck. Conversely, we expect that ionized sputter deposition using an inductive plasma source would likely deposit too high a proportion of material on the cavity bottom.

The ratio between the deposition rates on the cavity neck and bottom is also increased by resputtering of material from the cavity bottom onto the cavity neck. In an ionized sputtering process, the resputtering rate can be increased (or decreased) by increasing (or decreasing) the negative DC bias voltage applied to the electrode which supports the workpiece. Therefore, adjusting the bias voltage is one method of adjusting the ratio between the width of the protrusion and the thickness of the barrier. We have observed that the resputtering rate is greater for ECR

整理番号 : P 9 7 A M - 1 5 7

( 1 4 / 1 6 )

ionized sputtering than for inductively coupled plasma ionized sputtering of titanium nitride.

The width of the protrusion 32 also will be increased in proportion to the amount of compressive stress in the deposited film. Sputter deposited titanium nitride films have high compressive stress which promotes bulging of the film at corners. The film stress is affected by the temperature of the substrate and the partial pressure of nitrogen gas in the sputter deposition chamber during the deposition process. These parameters can be adjusted to adjust the titanium nitride film stress, and thereby adjust the width of the protrusion 32.

The deposition of etch-resistant material (e.g., TiN) to create the protrusion 32 also deposits a layer 52 of the etch-resistant material on the outer surface 38 of the dielectric 14. Therefore, the structure produced upon completion of process Step 2 is as shown in Figure 7B rather than Figure 3B, where the layer 52 is the only difference between these two figures. The metal layer 16 (e.g., aluminum) subsequently deposited in process Step 4 (Figure 3C) can be deposited directly over the layer 52 of etch-resistant material, creating the structure shown in Figure 7C.

Next, in process Step 5, the metal layer 16 is patterned to produce the interconnect lines 18 by any conventional patterning process, using an etchant which etches the metal layer 16 at a much higher rate than it etches the etch-resistant material 52. For example, if the metal layer 16 is aluminum and the etch-resistant material 52 is titanium nitride, the metal layer may be patterned using an etchant containing chlorine, which etches aluminum much faster than titanium nitride. Typically, the steps in a metal patterning process are depositing photoresist over the metal layer 16, photolithographically removing the photoresist from areas other than the desired locations of the interconnect lines 18, and then etching the portions of the metal layer which are not covered by photoresist. The result of Step 5 will be the structure shown in Figure 7D, in which a metal interconnect line 18 overlies and contacts the metal plug 20. The portion 32 of the etch-resistant material which protrudes into the neck 40 of the plug 20 protects the plug from being etched during the metal patterning step, even if the interconnect line is over-etched or slightly misaligned.

As shown in Figure 7D, the layer of etch-resistant material 52 remains on the outer surface 38 of the dielectric 14 after the patterning step. This layer 52 can be removed by a subsequent etching step using an etchant which is substantially more active against the etch-resistant material 52 than the metal 18, 20. In the example of an aluminum interconnect 18 and plug 20 and a titanium nitride etch-resistant layer 52, a suitable etchant for removing the etch-resistant layer would be any fluorine-containing etchant commonly used for semiconductor fabrication. Preferably, the etch process should have high vertical directionality (anisotropy), so that the exposed layer 52 is removed without laterally etching the portion 54 (see Figure 7E) of the protrusion 32 extending above the dielectric 14. Suitable directionality can be achieved with a conventional plasma etch process using negative DC bias on the workpiece. Figure 7E shows the final structure after removal of the layer 52.

整理番号：P 9 7 AM-1 5 7

(15/16)

Throughout this patent specification, all references to "metal" materials are intended to include any other material which can be used as an electrical conductor, such as titanium nitride or doped semiconductor material.

整理番号: P 9 7 AM-1 5 7

(16/16)

#### 4. Brief Description of Drawings

Figure 1 is a sectional view of a conventional plug and interconnect line in an integrated circuit.

Figure 2A is a sectional view of a conventional "zero overlap" interconnect line over a plug having a void. Figure 2B is a sectional view of a conventional interconnect line overlapping the dielectric surrounding a plug, where the plug has a void due to misalignment of the interconnect line relative to the plug.

Figure 3 is a sectional view of a plug and interconnect line at successive stages of the fabrication process of the invention.

Figure 4A is a sectional view of a plug fabricated by selective CVD. Figure 4B is a sectional view of conductor material subsequently deposited over the surface of the integrated circuit.

Figure 5 is a sectional view of a cavity having the protrusion of the invention fabricated by depositing lower and upper dielectric layers having high and low etch rates, respectively, and then etching the cavity.

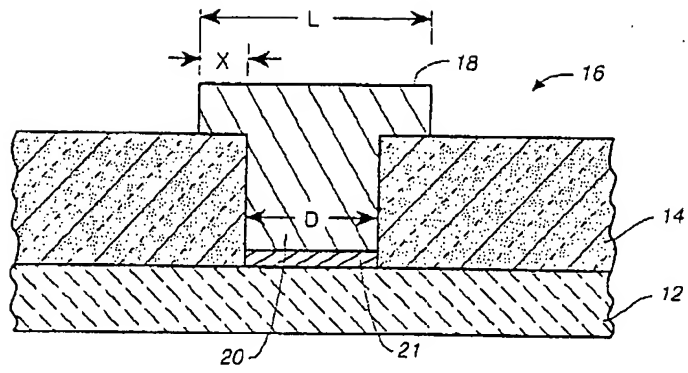
Figure 6 is a sectional view of two stages of fabricating a cavity having the protrusion of the invention by means of an anisotropic etch step followed by an isotropic etch step.

Figure 7 is a sectional view of a plug and interconnect line at successive stages of a fabrication process in which the protrusion at the mouth of the cavity is deposited by PVD.

(26)

特開平10-214897

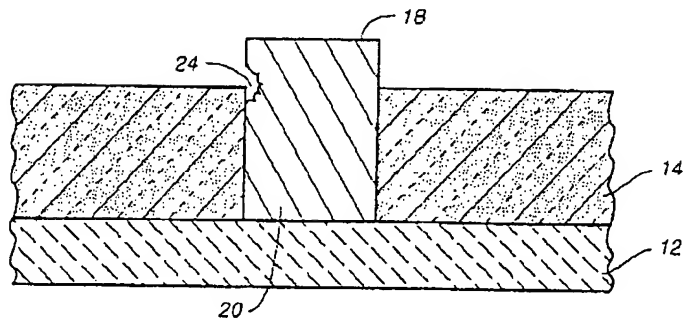
**FIG.\_1**  
(PRIOR ART)



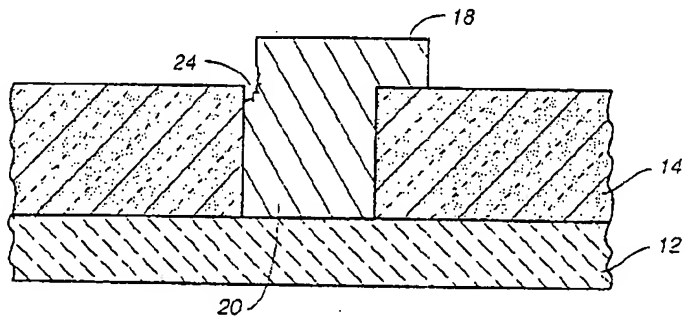
整理番号：P 9 7 A M - 1 5 7

(2/7)

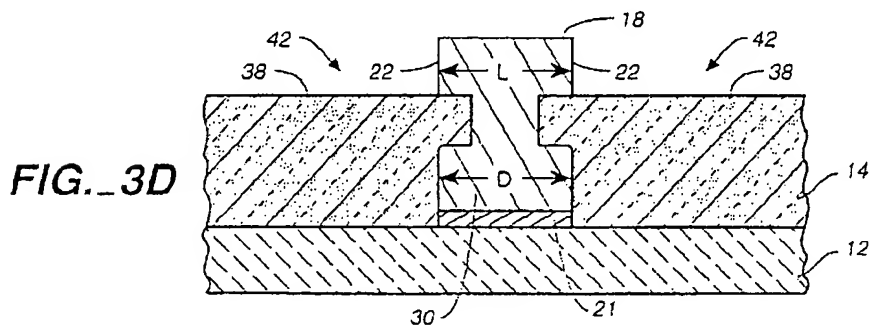
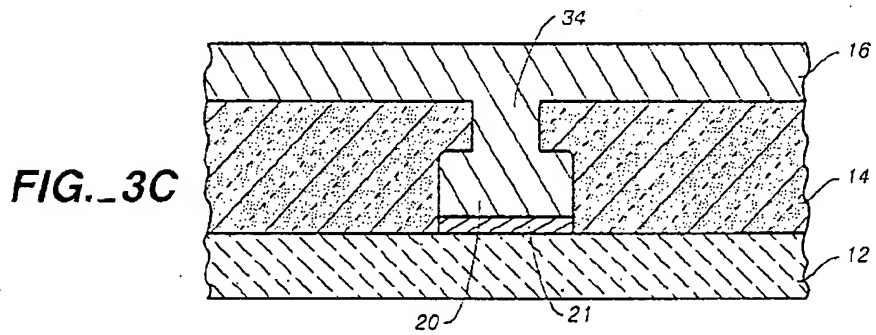
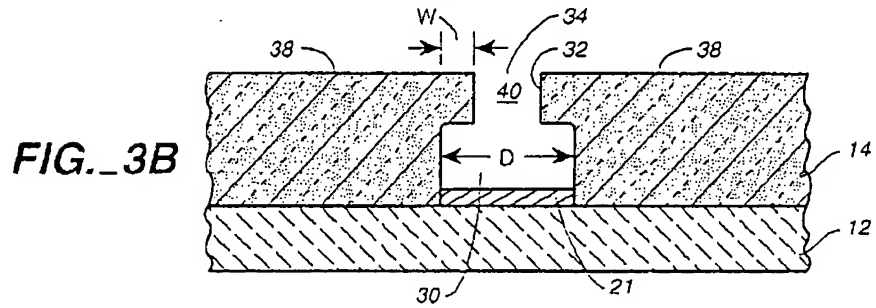
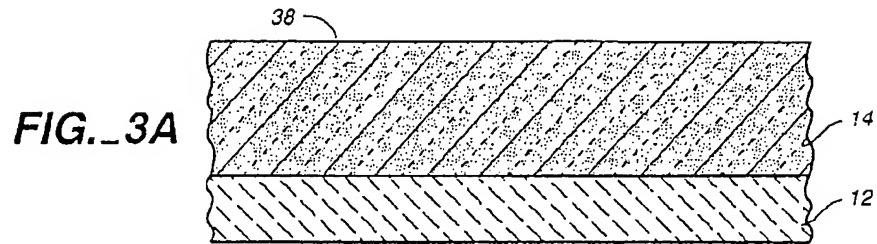
**FIG.\_2A**  
(PRIOR ART)

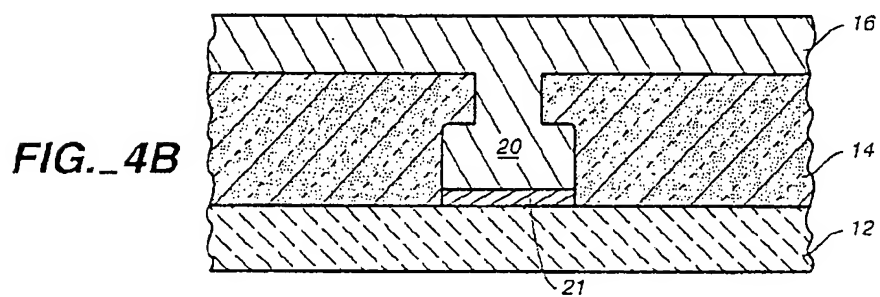
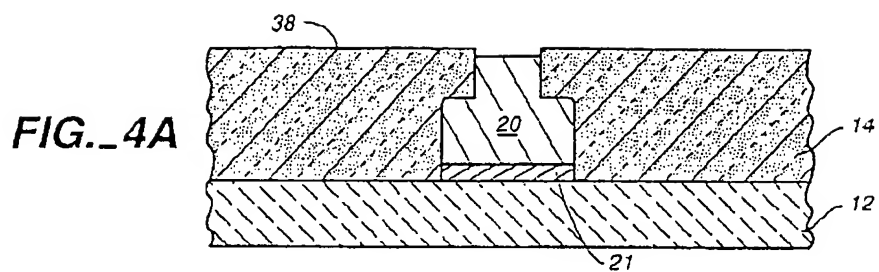


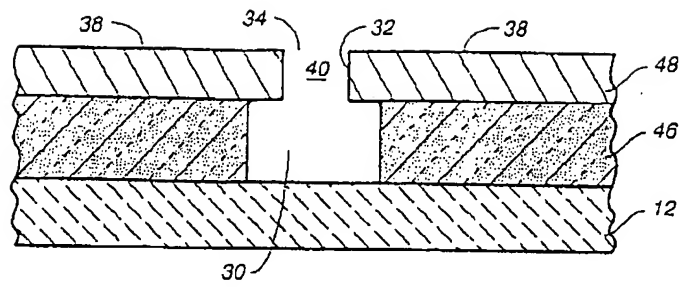
**FIG.\_2B**  
(PRIOR ART)

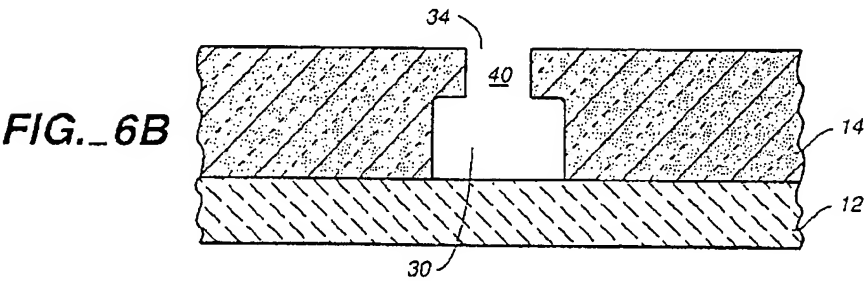
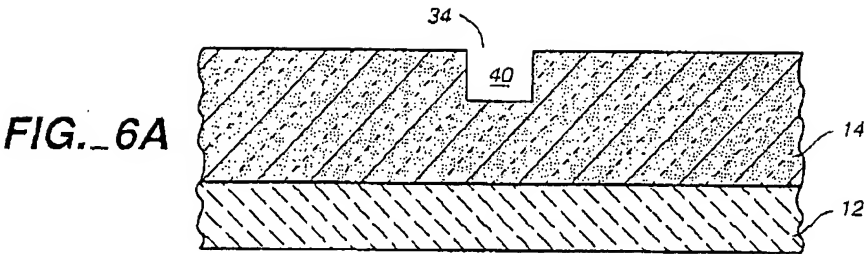






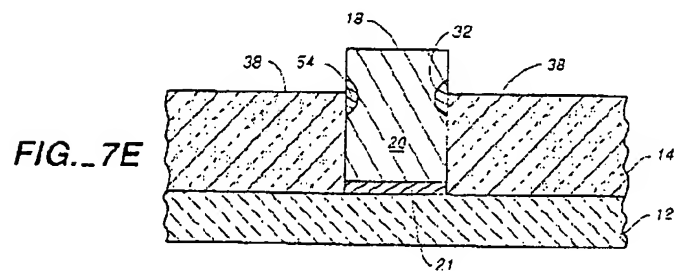
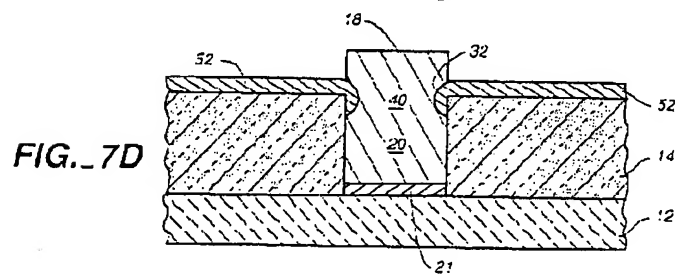
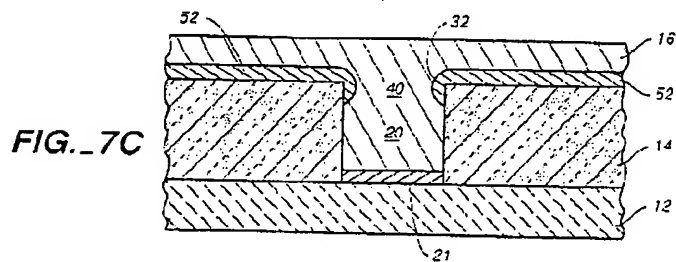
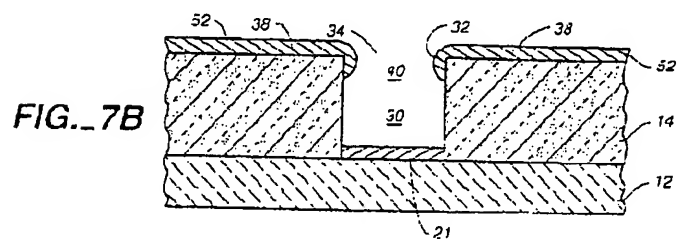
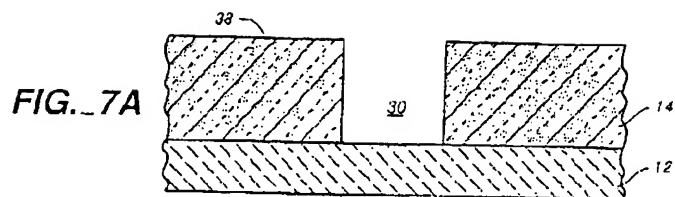


**FIG.\_5**



整理番号: P97AM-157

(7/7)



## 1. Abstract

An integrated circuit including an electrically conductive plug having a narrow neck, and a method of fabricating such plug and an overlying interconnect conductor. The plug is fabricated by creating in the dielectric layer a cavity or via having an inwardly-extending lateral protrusion near the mouth of the cavity. The overlying interconnect is created by depositing a layer of conductive material and then etching the layer on two opposing sides of the plug. During etching of the layer, the protrusion prevents any etching of the metal plug beyond the protrusion, thereby preventing the etching from creating voids in the plug.

## 2. Representative Drawing

Fig. 3